

PAT-NO: JP02000260902A

DOCUMENT-IDENTIFIER: JP 2000260902 A

TITLE: WIRING BOARD

PUBN-DATE: September 22, 2000

INVENTOR-INFORMATION:

NAME	COUNTRY
OGAWA, KOJU	N/A
KANBE, ROKURO	N/A
KIMURA, YUKIHIRO	N/A

ASSIGNEE-INFORMATION:

NAME	COUNTRY
NGK SPARK PLUG CO LTD	N/A

APPL-NO: JP11059424

APPL-DATE: March 5, 1999

INT-CL (IPC): H01L023/12, H05K003/46

ABSTRACT:

PROBLEM TO BE SOLVED: To reduce noise and the resistance or inductance of wiring being connected with a chip capacitor.

SOLUTION: The wiring board 1 comprises a chip capacitor 10 contained in a recess 4 on the first major surface 2a of a core board 2, a first multiplayer wiring part 20 formed on the first major surface 2a, a terminal 28 to be connected with an IC chip 29 formed on the upper surface thereof, wiring 26, 27 to be connected with the IC connection terminal 28 provided at the wiring part 20, a second multiplayer wiring part 30 formed on the second major surface 2b of the board 2, an external connection terminal 38 formed on the upper surface

thereof, and wiring 36, 37 to be connected with the external connection terminal 38 provided at the wiring part 30 and on the bottom face 4b of the recess 4. The capacitor 10 has a first terminal electrode 12 being connected with the first IC connection wiring 26 on the first major surface 2a side and with the first external connection wiring 36 on the second major surface 2b side, and a second terminal electrode 14 being connected with the second IC connection wiring 27 on the first major surface 2a side and with the second external connection wiring 37 on the second major surface 2b side.

COPYRIGHT: (C)2000, JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-260902

(P2000-260902A)

(43) 公開日 平成12年9月22日 (2000.9.22)

(51) Int.Cl.⁷

識別記号

F I

マークシート (参考)

H 0 1 L 23/12

H 0 1 L 23/12

B 5 E 3 4 6

H 0 5 K 3/46

H 0 5 K 3/46

K

Q

N

H 0 1 L 23/12

N

審査請求 未請求 請求項の数 1 O L (全 8 頁)

(21) 出願番号

特願平11-59424

(22) 出願日

平成11年3月5日 (1999.3.5)

(71) 出願人 000004547

日本特殊陶業株式会社

愛知県名古屋市長区瑞穂区高辻町14番18号

(72) 発明者 小川 幸樹

愛知県名古屋市長区瑞穂区高辻町14番18号 日本特殊陶業株式会社内

(72) 発明者 神戸 六郎

愛知県名古屋市長区瑞穂区高辻町14番18号 日本特殊陶業株式会社内

(74) 代理人 100098615

弁理士 鈴木 学

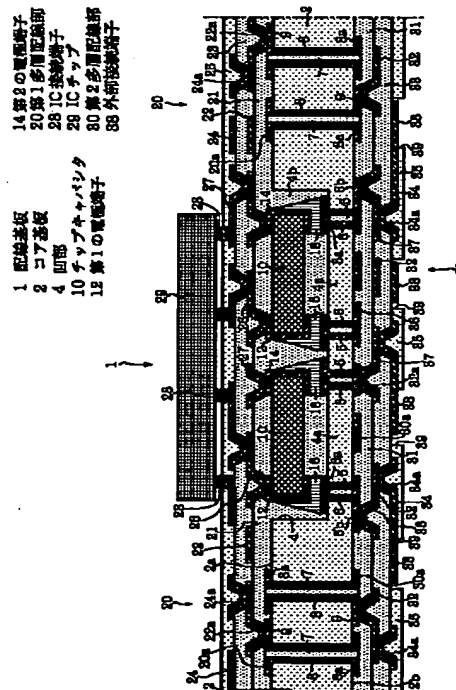
最終頁に続く

(54) 【発明の名称】 配線基板

(57) 【要約】

【課題】 ノイズを低減し、チップキャパシタに接続する配線の抵抗やインダクタンスを低減する配線基板を提供する。

【解決手段】 コア基板2の第1主面2aの凹部4に収容したチップキャパシタ10と、第1主面2a上に形成した第1多層配線部20と、その上面に形成し I C チップ29と接続する I C 接続端子28と、上記配線部20に設けられ I C 接続端子28と接続する I C 接続配線26, 27と、基板2の第2主面2b上に形成した第2多層配線部30と、その上面に形成した外部接続端子38と、上記配線部30と凹部4の底面部4bに設けて外部接続端子38と接続する外部接続配線36, 37を備え、上記キャパシタ10は、第1主面2a側で第1の I C 接続配線26と接続し且つ第2主面2b側で第1の外部接続配線36と接続する第1の端子電極12と、第1主面2aで第2の I C 接続配線27と接続し且つ第2主面2b側で第2の外部接続配線37と接続する第2の端子電極14とを備えた配線基板1。



【特許請求の範囲】

【請求項1】第1主面と第2主面とを有するコア基板

と、

上記コア基板の第1主面に形成された凹部と、

上記凹部に収容されたチップキャパシタと、

上記チップキャパシタを収容したコア基板の第1主面上に導体層と絶縁層とを交互に積層して形成された第1多層配線部と、

上記第1多層配線部の上面に形成され、ICチップと接続するためのIC接続端子と、

上記第1多層配線部に設けられ、上記IC接続端子と接続されるIC接続配線と、

上記チップキャパシタを収容したコア基板の第2主面上に導体層と絶縁層とを交互に積層して形成された第2多層配線部と、

上記第2多層配線部の上面に形成される外部接続端子と、

上記第2多層配線部および上記凹部の底面部に設けられ、上記外部接続端子と接続される外部接続配線と、を備えた配線基板であって、

上記チップキャパシタは、上記第1主面側において第1のIC接続配線と接続され、且つ、上記第2主面側において第1の外部接続配線と接続される第1の端子電極と、

上記第1主面側において第2のIC接続配線と接続され、且つ、上記第2主面側において第2の外部接続配線と接続される第2の端子電極と、を備える、

ことを特徴とする配線基板。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、コア基板の両主面に多層配線部を有する配線基板に関し、特にコア基板にチップキャパシタを内蔵した配線基板に関する。

【0002】

【従来の技術】近年、集積回路技術の進歩によりICチップの動作がますます高速化されている。これに伴い、電源配線等にノイズが重畳されて、誤動作を引き起こすことがある。そこで、係るノイズを除去するため、例えば配線基板の上面又は下面に、別途チップキャパシタを搭載し、このチップキャパシタにおける2つの端子電極(第1及び第2の端子電極)とそれぞれ接続するチップキャパシタ配線を配線基板の内部に設けている。これにより、チップキャパシタ配線およびIC接続端子を経由してチップキャパシタをICチップに接続することができる。

【0003】しかしながら、上記構造の配線基板では、その完成後に別途チップキャパシタを搭載する必要があるため、工数を要しコスト高になる。また、チップキャパシタの接続の良否により配線基板全体の良否に影響が出るなど、チップキャパシタの接続信頼性に依拠して配

線基板の信頼性が低下する場合もある。更に、チップキャパシタを搭載する領域を上・下面において予め確保しておく必要があり、他の電子部品の搭載や配線基板を補強するための補強部材(スティフナ)の固着の自由度を低下させることもある。加えて、他の配線等に制限されて、ICチップとチップキャパシタとを接続するチップキャパシタ接続配線が長くなり且つ細くなり易い。このため、係るチップキャパシタ接続配線自体が持つ抵抗やインダクタンスが過大になりがちで、低抵抗及び低インダクタンス化の要求に十分応えられていない、という問題点があった。

【0004】

【発明が解決すべき課題】本発明は、上述した各問題点を解決し、ノイズを低減でき且つチップキャパシタに接続する配線の抵抗やインダクタンスを低くし得る配線基板、更にはチップキャパシタが不具合を生じても損失コストが少なく、安価に製造でき且つ大静電容量のチップキャパシタを内蔵した配線基板を提供することを課題とする。

20 【0005】

【課題を解決するための手段】本発明は、上記した課題を解決するため、コア基板に静電容量の大きなチップキャパシタを内蔵し且つその2つの端子電極を基板の上・下面とそれぞれ接続することに着想して成されたものである。即ち、本発明の配線基板は、第1主面と第2主面とを有するコア基板と、このコア基板の第1主面に形成された凹部と、この凹部に収容されたチップキャパシタと、このチップキャパシタを収容したコア基板の第1主面上に導体層と絶縁層とを交互に積層して形成された第

30 1多層配線部と、この第1多層配線部の上面に形成され、ICチップと接続するためのIC接続端子と、上記第1多層配線部に設けられ、上記IC接続端子と接続されるIC接続配線と、上記チップキャパシタを収容したコア基板の第2主面上に導体層と絶縁層とを交互に積層して形成された第2多層配線部と、この第2多層配線部の上面に形成される外部接続端子と、上記第2多層配線部および上記凹部の底面部に設けられ、上記外部接続端子と接続される外部接続配線と、を備えた配線基板であって、上記チップキャパシタは、上記第1主面側において第1のIC接続配線と接続され、且つ、上記第2主面側において第1の外部接続配線と接続される第1の端子電極と、上記第1主面側において第2のIC接続配線と接続され、且つ、上記第2主面側において第2の外部接続配線と接続される第2の端子電極と、を備える、ことを特徴とする。

【0006】上記配線基板は、コア基板にチップキャパシタ収容用の凹部を形成し、その中にチップキャパシタを内蔵し、コア基板の両面に第1多層配線部および第2多層配線部を形成し、チップキャパシタにおける第1の端子電極及び第2の端子電極とIC接続端子とをそれぞれ

第1主面側においてIC接続と接続している。また、チップキャパシタの第1の端子電極及び第2の端子電極は、第2主面側においてそれぞれ外部接続配線と接続される。このため、チップキャパシタの両方の端子電極をそれぞれ第1主面側(上方)及び第2主面側(下方)に取出すことができる。

【0007】即ち、ICチップと接続するIC接続端子などから極く近い距離にチップキャパシタを配置することができる。これにより、第1のIC接続配線および第2のIC接続配線を極く短くして形成することが可能となる。従って、ノイズを低減でき且つチップキャパシタに接続する配線の抵抗やインダクタンスを低くすることができる。しかも、配線基板内にチップキャパシタ自体を内蔵しているため、係る配線基板の完成後に別途チップキャパシタを取付ける必要がなくなるか、或いは取付けるチップキャパシタの数量を減らすことができる。

【0008】尚、特に、複数のIC接続端子のうち少なくとも一部がチップキャパシタの上方で且つこれと重複する位置にあることを特徴とする配線基板とすることが望ましい。例えば、フリップチップパッドのIC接続端子がチップキャパシタの上方に位置すると、IC接続端子とチップキャパシタにおける第1の端子電極及び第2の端子電極とを接続する第1のIC接続配線および第2のIC接続配線の長さを特に短くすることができる。従って、第1のIC接続配線および第2のIC接続配線が持つ抵抗やインダクタンスを一層低く抑えることができるので、ノイズ低減能力(効果)を更に向上させることができる。

【0009】

【発明の実施の形態】以下において本発明の実施に好適な形態を図面と共に説明する。図1は本発明による配線基板1における主要部の断面を示す。配線基板1は、ガラス-エポキシ樹脂の複合材からなり第1主面2a及び第2主面2bを有するコア基板2を厚み方向の略中央に有し、このコア基板2の第1主面2aに平面視で略矩形の凹部4を形成している。この凹部4には複数のチップキャパシタ10が収容され、各チップキャパシタ10は図示で左右両端に第1の端子電極12及び第2の端子電極14を有する。係るチップキャパシタ10には、例えば静電容量が1000~10000pF(ピコファッド)程度で、チタン酸バリウム等を誘電体とする積層型セラミックチップキャパシタ(コンデンサ)が用いられ、そのサイズ例は1.0×0.5×0.5mm程度である。尚、凹部4内の空所には絶縁材(層)4bが充填されている。

【0010】上記端子電極12、14は、コア基板2の凹部4における底面4aを貫通するスルーホール導体6、6の上端とハンダ16、18によりそれぞれ接続されている。尚、コア基板2で凹部4のない厚めの部分には、これを貫通するスルーホール導体8が複数形成され、且つそれらの上下端にはコア基板2の第1・第2主

面2a、2b上に延びるランド9が形成されている。また、スルーホール導体6及びスルーホール導体8内の中空部には、それぞれ樹脂5又は樹脂7が充填されている。更に、スルーホール導体8の上端部8aと上側のランド9は、次述する第1の導体層20aの一部を形成し、スルーホール導体6、8の下端部6a、8aと下側のランド9は後述する第1の導体層30aの一部を形成する。

【0011】また、コア基板2の凹部4を形成した第1主面2a上には、第1~第3の導体層20a、22、24と第1・第2の絶縁層21、23及びソルダーレジスト(絶縁)層25とが交互に積層された第1多層配線部20が形成されている。第2・第3の導体層22、24内には、絶縁層21、23を貫通し導体層間の導通を取るビア導体22a、24bが形成されている。第3の導体層24の適所には、ソルダーレジスト層25を貫通してその表面から突出するIC接続端子28が複数個形成されている。IC接続端子28は、配線基板1の上面に搭載されるICチップ29の底面における図示しない外部接続端子とロウ付けによって接続されている。ICチップ29とチップキャパシタ10の第1・第2の端子電極12、14とを接続する導体層20a、22、24部分は、第1・第2のIC接続配線26、27を形成している。

【0012】更に、コア基板2の第2主面2b上には、第1~第3の導体層30a、32、34と第1・第2の絶縁層31、33及びソルダーレジスト(絶縁)層35とが交互に積層された第2多層配線部30が形成されている。導体層32、34内には、絶縁層31、33を貫通し導体層間の導通を取るビア導体32a、34aが形成されている。第3の導体層34の適所には、ソルダーレジスト層35に形成した複数の開口部39内にそれぞれ露出する外部接続端子38が形成されている。係る外部接続端子38とチップキャパシタ10の第1・第2の端子電極12、14とを接続する導体層30a、32、34部分は、第1・第2の外部接続配線36、37を形成している。尚、外部接続端子38の表面には薄いAu及びNiメッキが施されている。また、前記ICチップ29とチップキャパシタ10を経ずに配線基板1内の導体層24、22、20a、30a、32、34を介して外部接続端子38に接続する導体部分は、信号接続配線を形成する。

【0013】以上の如く配線基板1は、コア基板2の凹部4に複数のチップキャパシタ10を内蔵し、その第1・第2の端子電極12、14とIC接続端子28とを第1多層配線部20内の第1・第2のIC接続配線26、27により接続する。また、チップキャパシタ10の第1・第2の端子電極12、14と外部接続端子38とを第2多層配線部30内の第1・第2の外部接続配線36、37により接続する。このため、チップキャパシタ10の第1・第2の端子電極12、14は、基板1の上面(第1主面

2a側)及び下面(第2主面2b側)にそれぞれ接続され導通している。即ち、ICチップ29と接続するIC接続端子28から至近距離でチップキャパシタ10を配置できると共に、第1・第2のIC接続配線26,27も極く短くして配設することができる。

【0014】従って、配線基板1によれば、ノイズを低減でき且つチップキャパシタ10に接続するIC接続配線26,27の抵抗やインダクタンスを低くでき、ICチップ29とチップキャパシタ10との導通が高速且つ正確に取れ、且つICチップ29と第1・第2多層配線部20,30との導通も確実に取ることができる。また、外部接続端子38を介して配線基板1が接続される図示しないマザーボード内の回路素子とチップキャパシタ10等との導通も確実に取ることができる。しかも、チップキャパシタ10をコア基板2の凹部4内に内蔵しているため、基板1の上面に別途チップキャパシタを搭載する必要がなく全体の厚みを抑制でき、或いは別途に搭載するチップキャパシタの数量を低減することができる。更に、配線基板1では、チップキャパシタ10の上方に各IC接続端子28が位置しているため、上記第1・第2のIC接続配線26,27を最も短くでき、これらのインダクタンスや抵抗を一層低く抑えられるため、ノイズ低減特性が著しく向上する。

【0015】以下において上述した配線基板1の製造方法を説明する。尚、次述する図2以降では図1中における左側のチップキャパシタ10を中心にして説明する。図2(A)は、両面に銅箔cを貼り付けたガラス-エポキシ樹脂からなるコア基板素板2cの断面を示し、図2(B)に示すように、所定の位置にドリルでスルーホール3を穿設する。そして、素板2cの両面及びスルーホール3内に銅メッキを施し、且つスルーホール3の中心付近の中空部内に樹脂を充填して硬化する。その後、素板2cの両面に更に銅メッキを施し、且つマスキングして不要な位置における銅メッキ層及び銅箔cをエッチングにより除去する。その結果、図2(C)に示すように、各スルーホール3内にはスルーホール導体6とその中心付近に埋設された樹脂5が形成され、且つスルーホール導体6の上下端には略円形のフランジ6aが形成される。上記マスキングによってフランジ6aの一部からはランド6bが延在して形成される。下端のフランジ6aとランド6bは、前記第1の導体層30aの一部を形成する。

【0016】次に、図2(D)に示すように、コア基板素板2cの上面にフィルム状の接着シート2eを介して厚肉のコア基板素板2dを積層し熱圧着する。素板2dには予め略矩形の開口部2fが形成され、素板2c,2dを接合することによりコア基板2が形成されると共に、その第1主面2a側に凹部4が形成される。尚、コア基板2の下面は第2主面2bとなる。更に、図3(A)に示すように、凹部4内にチップキャパシタ10を装入し、凹

部4の底面4aを貫通する各スルーホール導体6における上端のフランジ6a上にチップキャパシタ10の第1・第2端子電極12,14を近接する。図3(B)に示すように、この状態でハンダ16,18を施し上記第1・第2端子電極12,14とスルーホール導体6,6とを接合する。その結果、チップキャパシタ10の左右両端に設けた断面略コ形の端子電極12,14は、それぞれハンダ16,18を介してスルーホール導体6,6と導通する。

【0017】次いで、コア基板2及びチップキャパシタ10の上方にエポキシ系樹脂を塗布した後、その表面を研削して平坦化する。その結果、図3(C)に示すように、チップキャパシタ10における第1・第2の端子電極12,14の各上端面を露出させ、且つチップキャパシタ10を凹部4内に内蔵して埋設する樹脂(絶縁)層4bが形成される。尚、以下においては樹脂層4bの上面を説明の便宜上コア基板2の第1主面2aとする。

【0018】引き続いて、図4(A)に示すように、コア基板2で凹部4のない厚肉部分における所定の位置にドリルでスルーホール3を穿設する。次に、コア基板2の両面及びスルーホール3内に銅メッキを施し、且つスルーホール3の中心付近の中空部内に樹脂を充填して硬化する。更に、マスキングを施して不要な位置における銅メッキ層をエッチングにより除去する。その結果、図示のように、各スルーホール3内にはスルーホール導体8とその中心付近に埋設された樹脂7が形成され、且つスルーホール導体8の上下端には略円形のフランジ8aが形成される。上記マスキングによってフランジ8aの一部からはランド9が延在して形成される。上下端のフランジ8aとランド9は、それぞれ前記第1の導体層20a,30aの一部を形成する。

【0019】尚、この間においてチップキャパシタ10の第1・第2端子電極12,14の各上端面も上記フランジ8aと同じレベルになるよう厚肉化される。次に、コア基板2及びチップキャパシタ10の上方にエポキシ系樹脂を塗布した後、その表面を研削して平坦化する。その結果、図4(B)に示すように、チップキャパシタ10の第1・第2端子電極12,14の各上端面を露出させた樹脂(絶縁)層19が形成される。また、コア基板2の第2主面2b上にもエポキシ系樹脂が塗布され且つその表面を研削して平坦化した樹脂層19が形成される。尚、第2主面2b上の樹脂層19の表面には、前記導体層30aを形成するフランジ6a,8aやランド6b,9が露出している。

【0020】そして、図5(A)に示すように、コア基板2の第1主面2a及び第2主面2bの上方に、フィルム状で感光性のエポキシ系樹脂シートを貼り付けて第1の絶縁層21,31を形成する。係る絶縁層21,31における所定の位置に公知のフォトリソグラフィ技術によりビアホール21a,31aを形成する。係るビアホー

ル21a, 31a内と第1の絶縁層21, 31の上に銅メッキをそれぞれ形成した後、所定のパターンにエッチング(パターニング)を施す。その結果、図5(B)に示すように、ビア導体22a, 32a及び第2の導体層22, 32が形成される。

【0021】同様に第1の絶縁層21, 31及び第2の導体層22, 32の上方に、エポキシ系樹脂シートを貼り付けて第2の絶縁層23, 33を形成し、所定の位置にビアホールを形成した後、ビア導体24a, 34aと第3の導体層24, 34を形成する。最後に、両面にソルダーレジスト層25, 35を形成し、レジスト層25の所定の位置からIC接続端子28を貫通して突設し、レジスト層35に設けた複数の開口部39内に外部接続端子38をそれぞれ露出させることにより、前記図1に示した配線基板1を得ることができる。尚、IC接続端子28は概ねチップキャパシタ10の上方に位置している。

【0022】そして、図1に示したように、各IC接続端子28に口ウ材を介してICチップ29の底面に設けた外部接続端子を接続することにより、配線基板1の上にICチップ29が搭載される。係るICチップ29とチップキャパシタ10の第1・第2の端子電極12, 14とを接続する導体層20a, 22, 24部分は、第1・第2のIC接続配線26, 27を形成する。また、前記外部接続端子38とチップキャパシタ10の第1・第2の端子電極12, 14とを接続する導体層30a, 32, 34部分は、第1・第2の外部接続配線36, 37を形成する。この結果、チップキャパシタ10の第1・第2の端子電極12, 14は、基板1の第1主面2a側及び第2主面2b側にそれぞれ接続されて導通し、ICチップ29と接続するIC接続端子28から至近距離でチップキャパシタ10を配置できるので、第1・第2のIC接続配線26, 27も極く短くして配線できる。

【0023】従って、係る配線基板1によれば、前述したように、ノイズを低減でき且つチップキャパシタ10に接続するIC接続配線26, 27の抵抗やインダクタンスを低くでき、ICチップ29とチップキャパシタ10との導通が高速且つ正確に取れる。また、外部接続端子38を介して配線基板1が接続されるマザーボード内の回路素子とチップキャパシタ10との導通も確実に取ることができる。しかも、チップキャパシタ10をコア基板2の凹部4に内蔵しているため、基板1の上面に別途チップキャパシタを搭載する必要がなく、配線基板1全体の厚みを抑制でき、或いは上面への搭載する数量を低減することができる。

【0024】尚、本発明は以上において説明した形態に限定されるものではない。例えば、コア基板の第1主面に複数の凹部を形成し、各凹部にチップキャパシタを個別に内蔵しても良い。或いは、凹部は単一のコア基板における第1主面側を切削等により部分的に除去して形成

することも可能である。また、チップキャパシタには、前記形態の他、半導体型セラミックチップキャパシタ等各種のものが適用可能である。更に、搭載するICチップには、半導体を集積したモノシリックIC(バイポーラ形、MOS形、Bi-CMOS)チップの他、半導体と共にコンデンサや抵抗をも集積したハイブリッドICチップ等も適用可能である。

【0025】尚、前記コア基板2には、前記形態で使用したガラス-エポキシ複合材の他、BT樹脂-ガラス材、ガラス-PPE材や、紙-エポキシ等の複合樹脂材、或いはエポキシ、BTレジン、ポリイミド、PPE、PTFE等の樹脂を用いることも可能である。また、前記導体層22, 24等は銅に限らず、Ni及びその合金(Ni-P, Ni-B, Ni-Cu-P)、Co及びその合金(Co-P, Co-B, Co-Ni-P)、Sn及びその合金(Sn-Pb, Sn-Pb-Pd)、又はAu, Ag, Pd, Pt, Rh, Ru等、及びこれらをベースとする合金を用いることも可能である。

【0026】

【発明の効果】以上において説明した本発明の配線基板は、コア基板の凹部にチップキャパシタを内蔵し、その第1・第2の端子電極とIC接続端子とを第1多層配線部の第1・第2のIC接続配線により接続し、チップキャパシタの第1・第2の端子電極と外部接続端子とを第2多層配線部の第1・第2の外部接続配線により接続している。これにより、チップキャパシタの第1・第2の端子電極は、配線基板の上面(第1主面側)及び下面(第2主面側)にそれぞれ接続され導通しているため、ICチップと接続するIC接続端子から至近距離でチップキャパシタを配置できると共に、第1・第2のIC接続配線も極く短くして配線することができる。

【0027】従って、係る配線基板によれば、ノイズを低減でき且つチップキャパシタに接続するIC接続配線の抵抗やインダクタンスを低くでき、ICチップとチップキャパシタとの導通が高速且つ正確に取れ、且つICチップと第1・第2多層配線部2との導通も確実に取ることができる。また、外部接続端子を介して本配線基板が接続されるマザーボード内の回路素子とチップキャパシタとの導通も確実に取ることができる。しかも、チップキャパシタをコア基板の凹部に内蔵しているため、配線基板の上面に別途チップキャパシタを搭載する必要がなく全体の厚みを抑制でき、或いは、上面に別途搭載するチップキャパシタの数量を低減することができる。

【0028】更に、配線基板で、チップキャパシタの上方にIC接続端子を位置させた形態では、第1・第2のIC接続配線を最も短くでき、これらのインダクタンスや抵抗を一層低く抑えられるため、ノイズ低減特性が一段と向上する。加えて、チップキャパシタに不具合が生じても損失コストが少なく、安価に製造可能であると共に、大静電容量のチップキャパシタを内蔵した配線基板

を提供できる。

【図面の簡単な説明】

【図1】本発明の配線基板における主要部を示す断面図。

【図2】(A)乃至(D)は本発明の配線基板を得るための各製造工程の概略を示す部分断面図。

【図3】(A)乃至(C)は図2に続く各製造工程の概略を示す部分断面図。

【図4】(A)及び(B)は図3に続く各製造工程の概略を示す部分断面図。

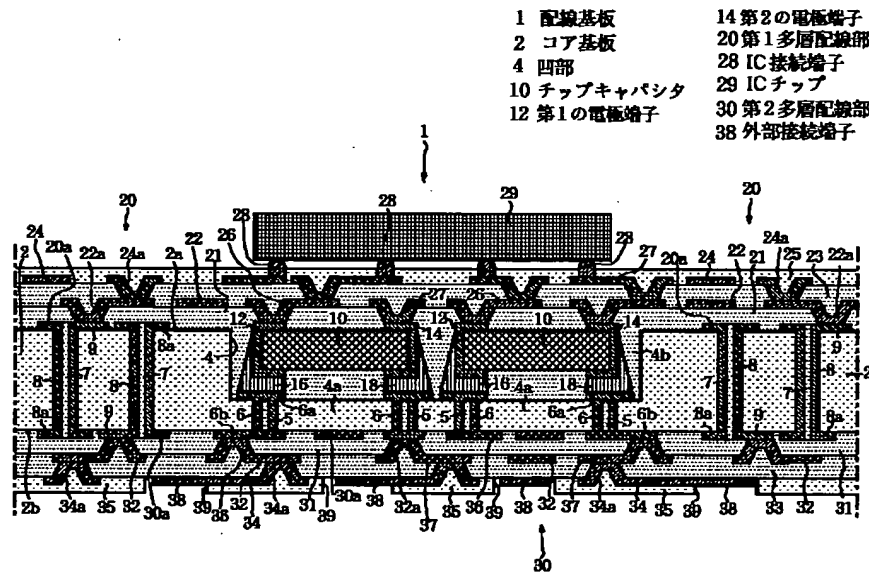
【図5】(A)及び(B)は図4に続く各製造工程の概略を示す部分断面図。

【符号の説明】

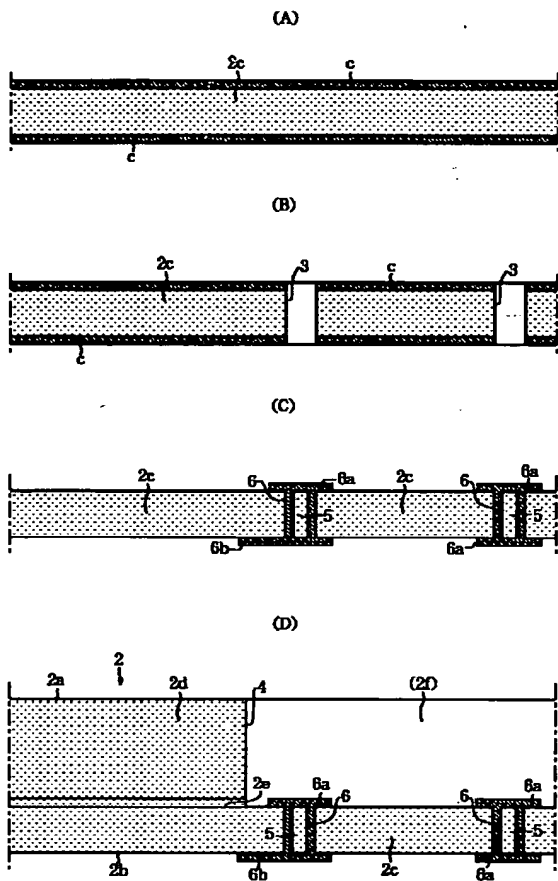
1……………配線基板
2……………コア基板
2a……………第1主面
2b……………第2主面
4……………凹部

4a……………底面部
10……………チップキャパシタ
12……………第1の端子電極
14……………第2の端子電極
20……………第1多層配線部
20a, 22, 24…導体層
21, 23, 25…絶縁層
26……………第1のIC接続配線
27……………第2のIC接続配線
28……………IC接続端子
29……………ICチップ
30……………第2多層配線部
30a, 32, 34…導体層
31, 33, 35…絶縁層
36……………第1の外部接続配線
37……………第2の外部接続配線
38……………外部接続端子

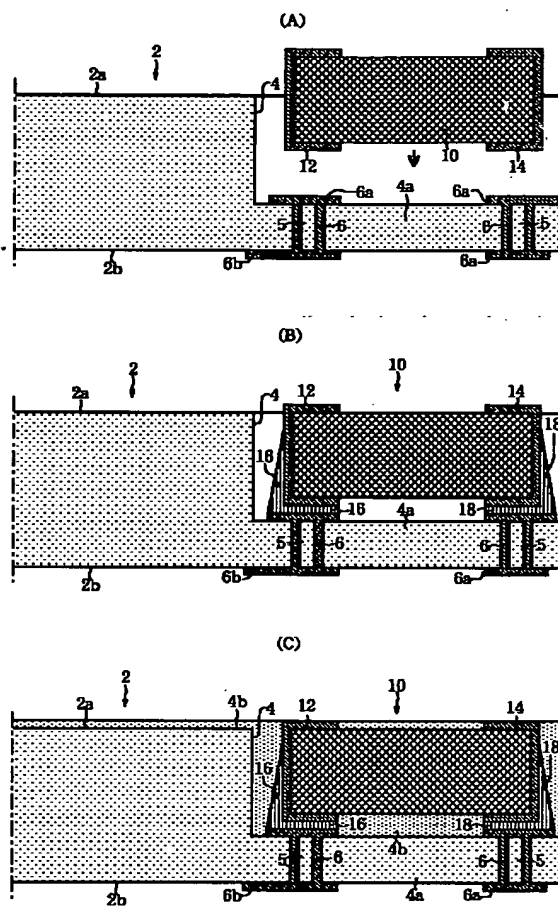
【図1】



【図2】

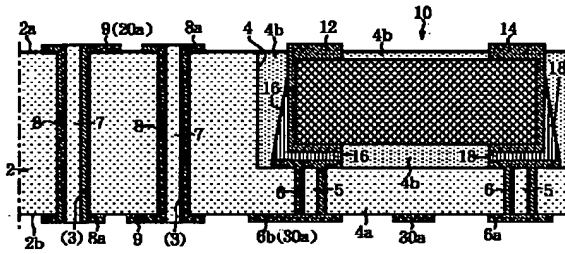


【図3】

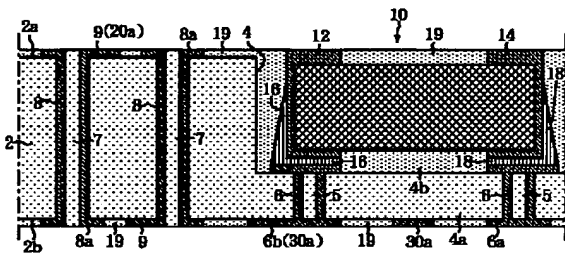


【図4】

(A)

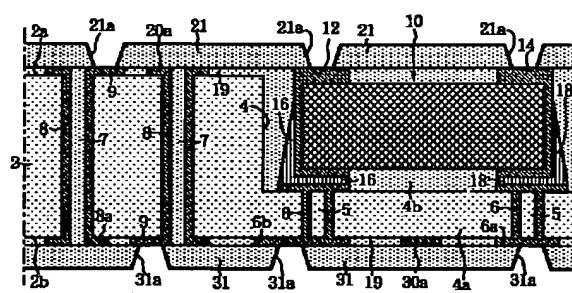


(B)

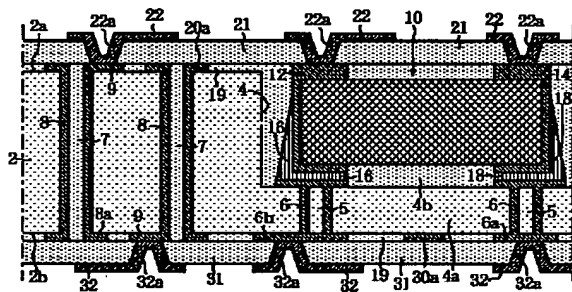


【図5】

(A)



(B)



フロントページの続き

(72)発明者 木村 幸広
愛知県名古屋市長区瑞穂区高辻町14番18号 日
本特殊陶業株式会社内

Fターム(参考) 5E346 AA02 AA06 AA12 AA15 AA43
BB01 BB16 BB20 CC09 CC31
DD02 FF04 FF45 GG15 HH01
HH02 HH05 HH31